

Acção de Formação em EPLDs

EPDL's Training Action

Eng. António Moreira da Silva
Eng. Pedro Coelho Cardoso

*"Um sector de alta tecnologia não é viável
por si mesmo, tal como um cérebro
não pode funcionar no corpo de um defunto"*

Eng. Luís Mira Amaral
Ministro da Indústria e Energia
Política Industrial Portuguesa, PEDIP II

1. Introdução

Na Tecnologia o sucesso é principalmente função do Factor Humano. O Homem é gerador, integrador, utilizador e gestor da Tecnologia. Nos tempos de hoje a evolução nem sempre possibilita a concentração de capacidades e recursos. Daí qualquer Produto Industrial sobrevive, graças à Sinergia de um grupo de trabalho de várias Especialidades, desde a fase de Desenvolvimento, Análise de Mercado, até à Evolução desse mesmo Produto. Obtem-se desta forma a dinâmica exigida de uma estrutura que se pretende viva [M.I.].

1.1. Parceiros

Desde 1993, o Centro de CAD para Electrónica do INESC - Porto, um centro especializado em desenvolvimento de tecnologias de microelectrónica e projecto de sistemas, tem vindo a promover relações com o CATIM (Unidade de Electrónica Industrial), desde a Formação em Lógica Programável, como o suporte informativo nas tendências de desenvolvimento das Ferramentas de CAD, para esta área da tecnologia electrónica.

O CATIM, como Centro Tecnológico, privilegia o Apoio Tecnológico e a transferência de Tecnologia, concretizada nos serviços que presta à Indústria. Baseando-se sempre na actualização e formação dos seus Quadros, aquisição de novos equipamentos, e no alargamento de Relações com os seus Clientes e Fornecedores.

1.2. Planeamento da Acção

A Lógica Programável é hoje em dia uma abordagem de Desenvolvimento fundamental, dada a necessidade de introduzir este tipo de tecnologia nos sistemas electrónicos, de modo a diminuir custos de produção, e melhor possibilidade de evolução do produto.

Nesse sentido, realizou-se uma acção de Formação em

Lógica Programável da ALTERA e a construção de um Exemplo de aplicação, de forma a abreviar o tempo de introdução desta tecnologia nos sistemas a desenvolver pelo CATIM, e dar a conhecer um novo tipo de solução aos Clientes do CATIM.

2. Objectivos

Em suma, o Objectivo foi familiarizar quadro técnicos com a utilização de Lógica Programável com vista à sua aplicação futura em Sistemas Industriais.

3. Descrição Técnica

3.1. Lógica Programável

3.1.1. Arquitecturas fundamentais

A PAL (Programmable Array Logic) deve ser considerada, não só o verdadeiro ponto de partida, na história dos Dispositivos Lógicos Programáveis (designados daqui em diante por PLDs), como, 18 anos volvidos, uma referência obrigatória na sua resolução.

A arquitectura PAL [MM187] foi desenvolvida e registada em 1986 por Jonh Birkner. Juntamente com a PLA, são utilizadas na implementação de funções sob a forma de equações Booleanas, por oposição à implementação sob a forma tabular da PROM. A grande vantagem destas arquitecturas relativamente à PROM advém da programabilidade do plano AND. Numa PROM, este plano é determinado pelo número de entradas do sistema, havendo uma duplicação do seu tamanho por cada entrada adicional. Há portanto um grande desperdício de lógica interna quando esta é utilizada na implementação de equações Booleanas de múltiplas entradas.

3.1.2. Análise tecnológica

É difícil, se não impossível, descrever e analisar toda a gama de produtos existentes no mercado. É no entanto

possível analisar alguns dos produtos mais representativos de forma a obter uma visão generalizada das múltiplas arquitecturas existentes neste tipo de circuitos.

Uma primeira análise revela-nos a existência de dois grandes grupos [Sma91]. O primeiro baseado em Portas Lógicas, mais não é do que uma evolução lógica da arquitectura PAL. O segundo grupo, baseado em células lógicas, é uma aproximação rudimentar da estrutura de um *Gate Array*. Existe ainda um terceiro grupo, os chamados PLDs dedicados, que apresentam uma estrutura muito particular e optimizada para a função que se propõem implementar.

3.1.3. PLDs Altera

Os dispositivos lógicos da Altera encontram-se divididos em 4 famílias distintas: Clássica, MAX, FLEX e PLDs dedicados. Considerando a distinção efectuada no ponto anterior podemos referir as famílias Clássica e MAX como pertencentes ao grupo 1, ou seja, elementos baseados em portas lógicas, a família flex baseada em célula lógicas e portanto pertencente ao grupo 2, e por fim os PLDs dedicados englobados no grupo 3.

Outros parâmetros tecnológicos e de construção diferenciam no entanto as diversas famílias [Alt93]:

- Família Clássica — contém 4 elementos de baixa capacidade de integração. Destinam-se sobretudo à substituição e integração de múltiplos circuitos dos tipos PAL. Todos os dispositivos com versões de desenvolvimento reprogramáveis do tipo EPROM e EEPROM.
- Família MAX 5000/7000 — contém 13 elementos e alia a velocidade e facilidade de utilização dos dispositivos do tipo PAL a uma capacidade de integração elevada. Todos os dispositivos com versões de desenvolvimento reprogramáveis do tipo EPROM (MAX 5000) e EEPROM (MAX 7000).
- Família FLEX 8000 — contém 5 elementos e destina-se à integração de sistemas que utilizem registos intensivamente. A tecnologia utilizada nesta família é do tipo SRAM o que implica que a configuração dos dispositivos reside num elemento exterior (ex: PROM) sendo transferida para a FLEX imediatamente após o arranque do sistema.
- PLDs dedicados — contém 2 elementos com funcionalidades específicas: SAM para implementação de controladores de elevada performance e o EPB2001 para a interface com o barramento *Micro Channel*.

3.2. Ferramentas de Desenvolvimento

As ferramentas de desenvolvimento de PLDs, que no passado desempenharam um papel preponderante, no desenvolvimento da arquitectura PAL, em detrimento da arquitectura PLA, são hoje em dia um suporte indispensável ao utilizador de lógica programável.

Paralelamente à criação de um dado PLD, ou família de PLDs, cada fabricante produz, um pacote de *software* espe-

cífico para a descrição, compilação, simulação de projectos e programação de dispositivos, dessa família de PLDs. Como não existe, na esmagadora maioria dos casos, compatibilidade entre ferramentas de desenvolvimento ou ficheiros por estas criados, e como estas são em geral dispendiosas, uma escolha acarreta muitas vezes por si só a dependência em relação a um fabricante.

Existem no entanto ferramentas de uso geral que permitem projectar com PLDs de fabricantes distintos, decidindo, após a descrição e simulação funcional de um projecto com base em critérios económicos discretos e tecnológicos, qual o dispositivo a utilizar [Mil89].

Neste caso os inconvenientes advêm da multiplicidade de arquitecturas que o engenheiro projectista terá de conhecer se quiser rentabilizar convenientemente a sua ferramenta [Cr92].

3.3. Desenvolvimento e Programação

O desenvolvimento do protótipo foi efectuada utilizando a ferramenta de desenvolvimento da Altera — MAX + PLUS II (ver Figura 1).

Apesar de se tratar de uma ferramenta específica Altera, não se tem mostrado limitada no desenvolvimento de sistema uma vez que o fabricante suporta diversas famílias, com diferentes arquitecturas, capacidade de integração e claro, desempenho e custo.

A ferramenta de desenvolvimento, MAX+PLUS II, encontra-se estruturada em 4 blocos distintos:

1. Introdução do Desenho
2. Procesamento do Projecto
3. Verificação do Projecto
4. Programação dos Dispositivos

A introdução do desenho pode ser efectuada utilizando um editor gráfico, de texto ou ainda um editor de formas de onda.

No editor gráfico, o utilizador tem acesso a um conjunto de bibliotecas de primitivas (funções base definidas pela Altera) e de Macros (funções baseadas na família 74XX). A geração automática de símbolos permite no entanto que cada projectista crie a sua própria biblioteca de funções personalizadas.

A linguagem Altera de descrição de *hardware* (AHDL) permite ao utilizador descrever de uma forma eficaz o

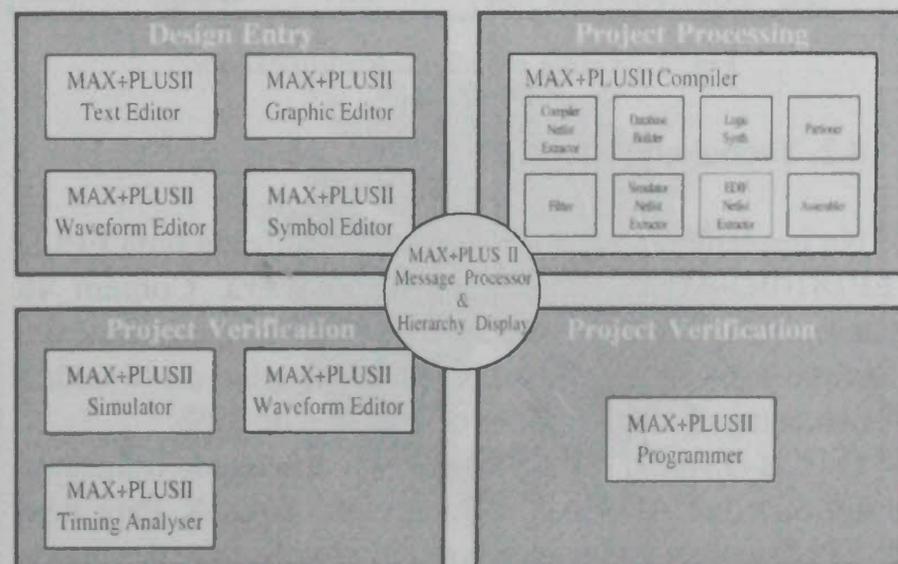


Fig. 1 - Ferramenta de desenvolvimento da Altera.

funcionamento do circuito que pretende implementar. Suporta a descrição de:

- Máquinas de estados
- Tabelas de Verdade
- Esquações Booleanas
- Construções do tipo *IF THEN ELSE* e *CASE*

O processamento do projecto é executado de forma automática, verificando a existência de erros, sintetizando a lógica, acomodando o projecto na EPLD adequada e gerando por fim ficheiros para simulação e programação do dispositivo.

A verificação do projecto consiste na sua simulação e posterior análise dos resultados num visualizador de formas de onda. O MAX+PLUS II suporta simulação funcional e temporal.

4. Protótipo

4.1. Princípio de Funcionamento

O protótipo desenvolvido implementa a multiplexagem de 8 canais de entrada com níveis RS232 numa linha série com interface RS485 e respectiva operação inversa.

Observando a figura 2 vemos que a trama tem a duração de 80 períodos de relógio. Sendo a frequência do relógio do sistema igual a 3.58 MHz, obtemos um valor de 46 kHz (ou seja, 3.58:80) para a frequência de trama.

Para que não haja perda de informação, os canais multiplexados não deverão ter um débito superior a 9600 baud (≈ 4 vezes menor que a cadência de trama transmitida).

O circuito de recepção é sincronizado por um cristal de frequência semelhante à frequência de emissão. A diferença absoluta entre as frequências dos 2 relógios, emissão e recepção, é relativamente pequena (da ordem das dezenas de Hertz) e é anulada pelo circuito de sincronismo na estrada do desmultiplexador.

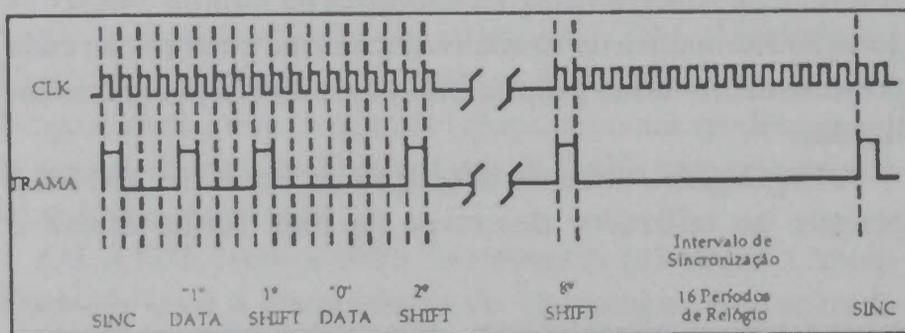


Fig. 2 - Trama gerada no Multiplexador.

4.2. Tecnologia Usada

Na implementação do protótipo foi utilizada uma EPLD (EP1810JC-35) da família clássica Altera. Contém 48 macrocélulas e uma arquitectura de I/O configurável até um máximo de 64 entradas (16 das quais dedicadas) ou 48 saídas. A percentagem de utilização da EPLD é de 89%.

O PCB (*Printed Circuit Board*) foi desenhado utilizando o *software* de CAD/CAE da Intergraph - DAZIX. Para além da EPLD a placa inclui apenas os circuitos de *drive* de entrada (RS232) e saída (RS485) e ainda o circuito gerador de relógio.

4.3. Implementação e Teste

Foram utilizados *sockets* na montagem dos PCBs, e no caso da EPLD foi utilizada uma versão de desenvolvimento, reprogramável, com tecnologia do tipo EPROM. Esta situação permitiu testar selectivamente a placa, e permitiu, sem custos adicionais, corrigir um pequeno problema que surgiu no funcionamento da EPLD.

Na primeira fase de teste do protótipo apenas foi utilizada uma placa, no modo *loopback*, ou seja, com o multiplexador e desmultiplexador residentes no PCB ligados entre si. Eliminou-se assim nesta primeira fase um problema crítico no funcionamento do protótipo, ou seja o deslizamento de relógio entre a emissão e a recepção.

A segunda fase, já com 2 PCBs, permitiu detectar e corrigir um problema no circuito de recepção, causado precisamente pelo deslizamento dos relógios.

Os circuitos de teste implementados, incluíram a ligação entre um PC e uma impressora, e entre um PC e um programador de EPROMs.

4.4. Exemplo de Aplicação

Uma aplicação possível do protótipo desenvolvido, e que utiliza apenas $\frac{1}{4}$ dos recursos disponíveis, aparece esquematizada na Figura 3. Teremos nesta situação o computador designado por *PC 1* a controlar um autómato remoto, enquanto o computador designado por *PC 2*, fisicamente próximo do autómato, imprime numa impressora, estando esta fisicamente próxima de *PC 1*.

A utilização de uma *interface* RS422 (que mais não é do que uma ligação RS454 bidireccional) para a comunicação série entre os protótipos, permite a comunicação a uma distância de 2,5 km sem degradação de qualidade. Uma vantagem adicional deste tipo de *interface*, em virtude da comunicação ser do tipo diferencial, reside na sua imunidade ao ruído, sendo portanto ideal para uma utilização em ambientes industriais.

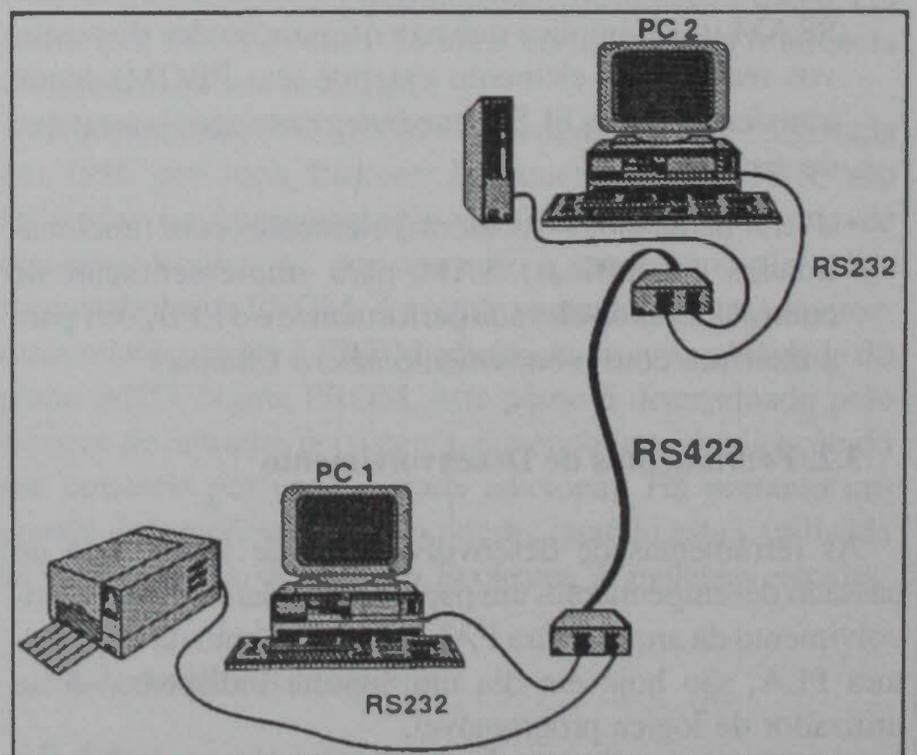


Fig. 3 - Possível aplicação prática do logotipo.

5. Conclusões

O protótipo desenvolvido, para além de ter servido para demonstrar as vantagens na utilização de lógica programável em novos produtos, nomeadamente na redução do número de componentes e dimensões do PCB e na melhoria das suas características técnicas, constitui ele próprio um produto com possibilidade de exploração industrial.

No futuro, a evolução passa, e passará cada vez mais, pelo domínio de ferramentas de CAD/CAE que suportem e automatizem um número crescente de fases dos projectos na área da electrónica. O domínio destas novas tecnologias é um aspecto fundamental que condiciona de forma importante o sucesso das instituições, sejam elas indústria ou organizações de I&D.

6. Continuidade

No que respeita à envolvente empresarial, e nomeadamente à rede de Infraestructuras Tecnológicas, de grande

importância no sucesso do Quadro de Apoio Comunitário anterior, será de continuar o desempenho do papel de *interface* dos Centros Tecnológicos entre os Centros de Saber e a Indústria. Realizando assim o processo imprescindível de alimentar a competitividade a prazo das PME's.

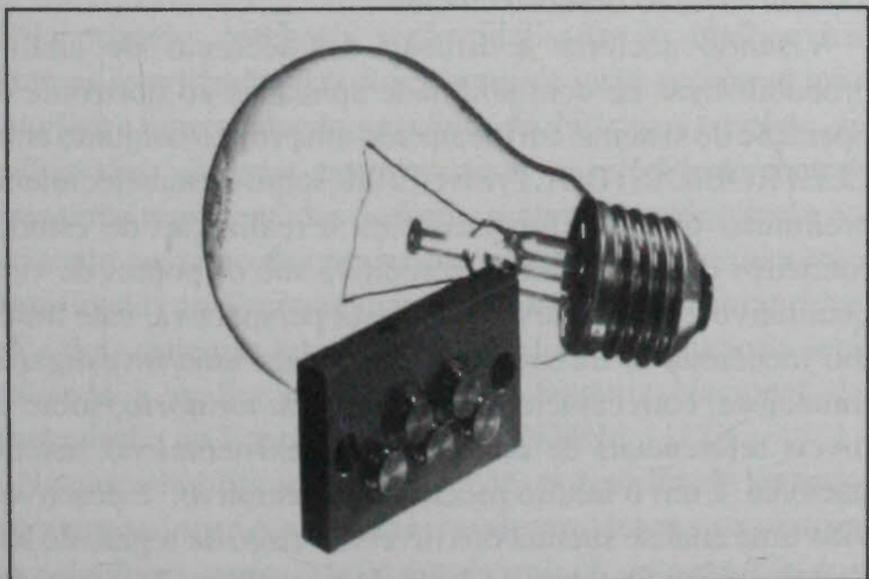
Referências

- [Alt93] Altera, *Data Book* August 1993.
- [Car92] Pedro B. Cardoso, *Lógica programável - Aplicação em circuitos de Telecomunicações*, Tese de mestrado, FEUP, Junho 1992.
- [M.I.] M.I.E., *Cadernos PEDIP*, Pedip II.
- [Mil89] B. Milne, *Robust tools tackle latest plds*, *Electronic Design - International*, 55-60, May 1989.
- [MMI87] MMI, *PAL Device Handbook*, MMI - A wholly owned subsidiary of Advanced Micro Devices, Inc., 1987.
- [Sma91] C. H. Small, *Family tree sorts out high-density plds*, *EDN* 75-80, September 1991. ■

INDÚSTRIA DE CABOS □ CABLE INDUSTRY

Orientador de Fios em Miniatura

Muitos componentes, especialmente na electrónica, tornam-se cada vez mais pequenos. O fabricante alemão Wittels-Albert apresentou na exposição WIRE 94/TUBE 94 um novo desenvolvimento orientador de fios, tipo MR, que segue esta tendência da miniaturização (compare com as dimensões de uma vulgar lâmpada de incandescência na figura). Esta reduzida construção foi possível graças à técnica de cassetes com rolamentos muito robustos e uma regulação de cada caixa de rolamentos por meio de excêntrico. Assim, foi concebido um orientador de fios que, apesar das suas reduzidas dimensões, pode suportar forças elevadas sem diminuir de maneira sensível a duração de vida dos rolamentos.



Cabeças de Pré-formação

Os sistemas de pré-formação VR da empresa Wittels-Albert dispõem de uma regulação central dos fios de pré-formação para obtenção de diferentes passos de cablagem. Devido a um sistema de engrenagens patenteado, composto por diversos módulos de rodas dentadas, as cabeças de pré-formação VR podem deslocar o seu tubo de suporte na árvore principal da cabladora no caso de redução do passo de cablagem. Esta regulação central facilita a assistência de serviço, minimiza os tempos de preparação e otimiza a flexibilidade da instalação. Várias dimensões de aparelhos cobrem toda a gama de pré-formação corrente na indústria de cabos e fios.

